

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-222151

(43)Date of publication of application : 02.10.1986

(51)Int.Cl.

H01L 23/12

(21)Application number : 60-064599

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 27.03.1985

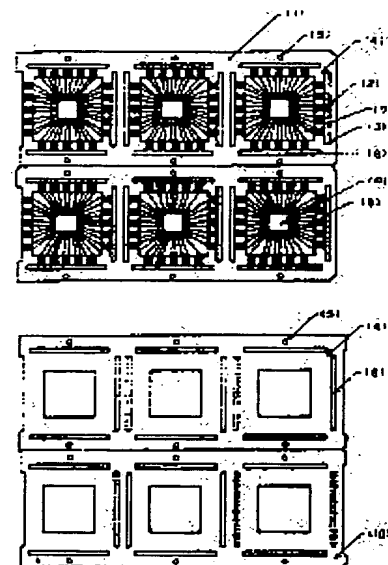
(72)Inventor : KIMATA KENRO  
MABUCHI KATSUMI  
YATSU HAJIME

## (54) MANUFACTURE OF PRINTED WIRING SUBSTRATE FOR MOUNTING SEMICONDUCTOR

### (57)Abstract:

**PURPOSE:** To prevent a substrate itself from being cracking, and besides prevent peelings of through-hole plating and burrs of the substrate from being generated, by attaching frames for preventing a sealed resin flow after forming conductor parts beforehand on the side wall surfaces, and then cutting/processing four positions of bridged parts.

**CONSTITUTION:** After several groups of conductor patterns having through-holes are arranged/formed regularly lengthwise and crosswise on a printed wiring substrate sheet 1 made of an organic resin material, part of through-holes located on product- outlines in the several groups of conductor patterns are cut and removed. Then, part of through-holes 2 are exposed on outlined side wall surfaces of the substrate, and grooves 6 are formed around the through-holes, to form bridged parts 4 between these grooves. The grooves 6 are formed on a laminated plate sheet with it corresponding to the printed wiring substrate sheet, and the laminated plate sheet is fitted on the substrate sheet via metal-mold-fixing-pilot holes 5, and then attached through an adhesive layer so as to form a lattice-shaped and frame-equipped printed wiring substrate sheet. And, small pieces of printed wiring substrates for mounting semiconductors are produced by stamp-cut processing at four positions of the bridged parts 4 with the metal mold.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

NA

## MANUFACTURE OF PRINTED WIRING SUBSTRATE FOR MOUNTING SEMICONDUCTOR

Patent Number: JP61222151  
 Publication date: 1986-10-02  
 Inventor(s): KIMATA KENRO; others: 02  
 Applicant(s): IBIDEN CO LTD  
 Requested Patent: ☒ JP61222151  
 Application Number: JP19850064599 19850327  
 Priority Number(s):  
 IPC Classification: H01L23/12  
 EC Classification:  
 Equivalents: JP1763362C, JP4052623B


### Abstract

**PURPOSE:** To prevent a substrate itself from being cracking, and besides prevent peelings of through-hole plating and burrs of the substrate from being generated, by attaching frames for preventing a sealed resin flow after forming conductor parts beforehand on the side wall surfaces, and then cutting/processing four positions of bridged parts.

**CONSTITUTION:** After several groups of conductor patterns having through-holes are arranged/formed regularly lengthwise and crosswise on a printed wiring substrate sheet 1 made of an organic resin material, part of through-holes located on product- outlines in the several groups of conductor patterns are cut and removed. Then, part of through-holes 2 are exposed on outlined side wall surfaces of the substrate, and grooves 6 are formed around the through-holes, to form bridged parts 4 between these grooves. The grooves 6 are formed on a laminated plate sheet with it corresponding to the printed wiring substrate sheet, and the laminated plate sheet is fitted on the substrate sheet via metal-mold-fixing-pilot holes 5, and then attached through an adhesive layer so as to form a lattice-shaped and frame-equipped printed wiring substrate sheet. And, small pieces of printed wiring substrates for mounting semiconductors are produced by stamp-cut processing at four positions of the bridged parts 4 with the metal mold.

Data supplied from the esp@cenet database - I2

## MANUFACTURE OF PRINTED WIRING SUBSTRATE FOR MOUNTING SEMICONDUCTOR

Patent Number: JP61222151  
Publication date: 1986-10-02  
Inventor(s): KIMATA KENRO; others: 02  
Applicant(s): IBIDEN CO LTD  
Requested Patent:  JP61222151  
Application Number: JP19850064599 19850327  
Priority Number(s):  
IPC Classification: H01L23/12  
EC Classification:  
Equivalents: JP1763362C, JP4052623B

---

### Abstract

---

**PURPOSE:** To prevent a substrate itself from being cracking, and besides prevent peelings of through-hole plating and burrs of the substrate from being generated, by attaching frames for preventing a sealed resin flow after forming conductor parts beforehand on the side wall surfaces, and then cutting/processing four positions of bridged parts.

**CONSTITUTION:** After several groups of conductor patterns having through-holes are arranged/formed regularly lengthwise and crosswise on a printed wiring substrate sheet 1 made of an organic resin material, part of through-holes located on product- outlines in the several groups of conductor patterns are cut and removed. Then, part of through-holes 2 are exposed on outlined side wall surfaces of the substrate, and grooves 6 are formed around the through-holes, to form bridged parts 4 between these grooves. The grooves 6 are formed on a laminated plate sheet with it corresponding to the printed wiring substrate sheet, and the laminated plate sheet is fitted on the substrate sheet via metal-mold-fixing-pilot holes 5, and then attached through an adhesive layer so as to form a lattice-shaped and frame-equipped printed wiring substrate sheet. And, small pieces of printed wiring substrates for mounting semiconductors are produced by stamp-cut processing at four positions of the bridged parts 4 with the metal mold.

---

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-222151

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月2日

H 01 L 23/12

7357-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体搭載用プリント配線板の製造方法

⑯ 特 願 昭60-64599

⑰ 出 願 昭60(1985)3月27日

⑱ 発 明 者 木 俣 賢 朗 大垣市久徳町238番地

⑲ 発 明 者 馬 淵 勝 美 岐阜県本巣郡巣南町中宮833番地

⑳ 発 明 者 矢 津 一 大垣市笠木町435番地

㉑ 出 願 人 イビデン株式会社 大垣市神田町2丁目1番地

明 細 書

1. 発明の名称

半導体搭載用プリント配線板の製造方法

2. 特許請求の範囲

1. 下記の(a)~(e)の工程からなる半導体搭載用プリント配線板の製造方法。

(a) 有機系樹脂素材からなるプリント配線用基板シート(1)に、スルホールを有する複数の導体パターン群を縦と横とに配列形成する工程と；

(b) 前記プリント配線用基板のシート上のそれぞれの導体パターン群において、製品外形縁上に位置するスルホールの一部(2)及び基板の一部(3)を切断除去してスルホール周辺に溝を形成し、該溝間に橋絡部(4)を形成する工程と；

(c) 別の有機系樹脂素材からなる積層板シートにおいて、前記プリント配線用基板の製品群に対応した溝と半導体搭載部周辺部に貫通孔を設け、橋絡部を配列形成する工程と；

(d) 前記(a)及び(b)の工程からなるプリント配線用基板シートの変面に、前記(c)の工程からなる積層板シートを接層層を介して貼着する工程と；

(e) 前記(d)の工程からなるプリント配線用基板シートの橋絡部を切断し小片状に分離して複数の製品群を形成する工程。

2. 前記プリント配線用基板の一部に、半導体素子を収納するための凹部を形成することを特徴とする特許請求の範囲第1項記載の半導体搭載用プリント配線板の製造方法。

3. 前記半導体搭載用凹部はザグリ加工により形成されることを特徴とする特許請求の範囲第2項記載の半導体搭載用プリント配線板の製造方法。

4. 前記有機系樹脂素材からなる積層板は橋絡部を除く外形寸法が、有機系樹脂素材からなるプリント配線用基板の橋絡部を除いた外形寸法より小さくなるように形成されたことを特徴とする特許請求の範囲第1項記載の半導体搭載用プ

リント配線板の製造方法。

5. 前記溝は金型による打ち抜き加工により形成されていることを特徴とする特許請求の範囲第1項記載の半導体搭載用プリント配線板の製造方法。
6. 前記橋絡部を切断するにあたり、該切断部の一部または全部に変形部を設けることを特徴とする特許請求の範囲第1項記載の半導体搭載用プリント配線板の製造方法。

## 8. 発明の詳細な説明

### 〔産業上の利用分野〕

本発明は半導体搭載用プリント配線板の製造方法に係り、特に本発明は一般にリードレスチップキャリアと称されるパッケージ用基板の製造方法に関する。

近年、電子機器の小型化、軽量化および薄型化の要求が高まり、その機器に使用されるコンデンサや抵抗などの電子部品においては外部リードのないチップコンデンサ、チップ抵抗と呼ばれる小型のリードレスタイプのチップ部品が多用さ

納した後、金属又はセラミックからなるキャップにより封止されてパッケージが得られる。

また高価なセラミックチップキャリアに代わるものとして有機樹脂材料からなるチップキャリアが、特開昭58-2856号公報、特開昭58-184450号公報、および特開昭57-184240号公報に提案されている。

前記提案によれば、ガラスエポキシからなるプリント配線板にスルホールを有する回路パターンが形成され、半導体素子搭載後、半導体素子周辺を保護用レジンで被った構造になっている。

### 〔発明が解決しようとする問題点〕

前記特開昭58-2856号公報及び特開昭58-184450号公報によるチップキャリアにおいては半導体素子封止用のポッティングレジンとして流動性の高いレジンを使用した場合に、レジンは半導体素子周辺からチップキャリア周辺部まで流出し、チップキャリア側壁面のメタライズ層が被覆され、チップキャリアの機能が低下する欠点を有している。ポッティングレジン流出を防

れるようになってきている。一方、ICやLSIなどの半導体集積回路装置においても、回路の小型高密度化への要求が高まってくるにつれ、そのパッケージ形態を小形リードレス化する動きが顕著になってきており、小型のリードレスタイプのいわゆるチップキャリアが増々増大する傾向にある。これらのリードレスチップキャリアは、一般のプリント配線板に実装され、ICパッケージとしての役割をはたしている。

### 〔従来の技術〕

従来、半導体搭載用の小形リードレスタイプのICパッケージとしてはセラミックチップキャリアが使用されている。セラミックチップキャリアは、グリーンシートにメタライズ層を形成後、複数のグリーンシートを積層後、高温中で焼成したものである。前記中央には半導体素子を収納するための凹部が形成され、凹部周辺には放射状に金属パターンが形成され、該パターンは基板側壁面のメタライズ層を通して端面のパターンと電気的に接続されている。前記凹部に半導体素子を収

止するために半導体搭載用基板上表面の半導体素子搭載部周辺にレジンを流出防止用の枠を設けることが特開昭55-86842号公報に開示されている。また、前記特開昭57-184240号公報によれば、プラスチックからなる側壁が周囲に設けられたチップキャリアの製造方法が提案されており、その断面を第8図に示す。具体的には、プラスチックを材料とした基板シート(1)の表面に金属パターン(2)を配列形成した後、プラスチック材からなる格子のフレームを前記金属パターンの上になるように固着され、格子のフレームのほぼ中央をダイヤモンドソー、その他の工具を用いて切断することにより複数のリードのないチップキャリアが作られる。(X-X')はその切断位置である。

前記提案においてダイヤモンドソーによる切断は多くの時間を要するため生産性が極めて低くなり、安価なチップキャリアを提供することが困難である。

又、他の工具として生産性の高い金型による打ち抜き加工が考えられる。しかし、第6図におい

て(X-X')の位置を金型で打ち抜く場合、スルホール(2)の金属層が切断時の衝撃により剥れ易い欠点を有している。

本発明者の実験による確認によれば、第8図において基板シート(1)の厚みが0.5mm、格子のアーム幅が0.5mmの厚みの構成からなるプリント配線板を金型を用いて(X-X')の位置で打ち抜きを行なった結果、大部分のスルホールに剥れや亀裂が生じ、側壁面の導体層は極めて不満足な状態であった。

本発明は前記従来の技術の欠点を全て除去改善することを目的とし、生産性に富み、自動化に適した半導体搭載用プリント配線板の製造方法を提供するものである。

(問題点を解決するための手段およびその作用)

以下、本発明を図面に基づいて具体的に説明する。

まず、第1図(ハ)および第1図(カ)は、半導体搭載用プリント配線板の下層部となる格子状に配列した製品群の最も代表的な例を示す基板の平面図で

リアジン、ガラスポリイミドなどの有機系樹脂素材からなるプリント配線用基板シート(1)に、スルホールを有する複数の導体パターン群を縦と横に規則的に配列形成した後、該プリント配線用基板シート上の複数の導体パターン群において製品外形線上に位置するスルホールの一部を切断除去し、前記基板の外形側壁面にスルホール(2)の一部を露出させ、スルホール周辺に溝(4)を形成し、該溝間に形成された橋結部(4)によって格子状に支持されたプリント配線用基板シートの正面図である。

また、前記基板の中央部にはザグリ加工などにより半導体素子を収納するための凹部(6)が設けられ、製品外形線上のスルホール(2)と凹部周辺の金属パッドには金属メッキが施されており、該スルホールと該金属パッド間にはソルダーレジスト(7)が印刷されており、導体パターンが保護されている。第2図は特許請求の範囲第1項の(ロ)に記載の積層板シートである。積層板シートとしては、ガラスエポキシ、ガラストリアジン、ガラスポリイミドなどである。該積層板シートは第1図の(ハ)の

ある。これらのプリント配線板は、特許請求の範囲第1項記載の(ハ)および(ロ)の工程により製造される。また、第2図は上層部を形成する格子状に貫通孔が設けられ、溝と橋結部が形成された基板の平面図である。この基板は、特許請求の範囲第1項記載の(ロ)の工程によって製造される。そして、これら上層部と下層部とが貼層されて第8図の平面図に示す半導体搭載用プリント配線板が製造される。なお、前記(ハ)および(ロ)の工程により第1図(ハ)および(ロ)に示す基板が製造されるに先立って、特許請求の範囲に記載の(ロ)の工程により第2図に示す基板が製造されることもあり得る。そして前記と同様に第1図(ハ)および(ロ)に示す下層部となる基板と、第2図に示す上層部となる基板を貼層して第8図の平面図に示す本発明の半導体搭載用プリント配線板が製造される。

そして、第4図は本発明の特許請求の範囲の各項に記載の半導体搭載用プリント配線板の製造方法の工程を示す該基板の主要部の斜視図である。第1図の(ハ)および(ロ)はガラスエポキシ、ガラスト

プリント配線用基板シートと対応するように、溝(4)が形成され、第1図の(ハ)の基板シート上に第2図の積層板シートが金型固定用のパイロット孔(6)で合致され、接層層を介して貼層されると第8図に示すような格子状の枠付プリント配線用基板シートが形成され、橋結部(4)の4箇所を金型により打ち抜き切断加工すると第4図に示すような小片状の半導体搭載用プリント配線板ができる。この場合の基板シートは第8図に示すような大きいシートのほかに第8図に示すような短冊状の基板シートでも有効である。

本発明によれば、側壁面に予め、導体部を形成後、封止樹脂流出防止用の枠を貼層し、橋結部(4)の4箇所を切断加工するので容易でしかも基板自身に亀裂が起きにくく、また、スルホールのメッキの剥がれや基板のバリを生じることなく、切断面を極めて良好に仕上げることを可能とすることを特徴としている。

第8図はアラスチックを材料とした従来の半導体接装の製造工程の一部で、格子のアーム幅のほ

ば中央を軸(X-X')に沿って切断する時の加工断面図を示している。プラスチック製の材料で、例えばガラス填入エポキシレジン(1)の基板シート(1)の表面に、方形に配列された多数の金属パターン(8)が形成され、該基板シートに多数のスルホール(2)が穿設され、そのスルホールの一つは第6図に符号(2)で示されている。このスルホール(2)の下表面には対応する金属パッド(4)が形成され、金属パターン(8)と金属パッド(4)とは電気的に連結されている。基板シート(1)と同一の材料で格子のアーム(3)が接層され、この格子のアーム(3)はスルホール(2)の配列された線上に位置し側壁となり、基板(1)の上表面に現われるスルホール(2)を覆っている。また、この格子のアーム(3)の中央には集積回路チップ(5)がエポキシ接層剤を介して接層され、ワイヤーボンディング(6)により金属パターン(8)に接続されている。

第7図の(1)及び(1')は本発明の特許請求の範囲第4項に記載の半導体搭載用プリント配線板基板の斜視図であり、積層板シート(1)の溝(1)がプリント配

線用基板の溝より大きく打ち抜き加工されており、そのため前記積層板シート(1)の橋絡部(4)を除く外形寸法が前記基板よりも小さくなっていることを特徴としている。この基板は一般のプリント配線用基板に突装した後に、側壁面のスルホールに半田が掛っているかどうか、または隣り同士のスルホールにブリッジが起きていないかを検査することが容易である利点を有している。この場合も前記積層板シート(1)と基板シート(1)とを貼り合わせる時には、パイロット孔(5)で一致され、橋絡部(4)を金型により打ち抜き加工して小片状に分離される。また、この橋絡部(4)を打ち抜く場合には、特許請求の範囲第6項に記載の該橋絡部の切断部の一部に変形部(4')を付けることにより、一般のプリント配線板に突装する場合の位置合わせに役立ち、また、橋絡部の切断部の全部に変形部を付けることにより、パッケージのコーナー部からの亀裂やソルダーレジストの剥がれを少なくし、デザイン上、美しいパッケージが得られる。

第8図は本発明の特許請求の範囲各項にしたが

って打ち抜かれた半導体搭載用プリント配線板上の凹部(1)に、集積回路チップ(5)が搭載され、ワイヤーボンディング(6)により、該集積回路チップ(5)と金属パターン(8)が接続され、ディスペンサーなどにより樹脂(7)を注入した後、電子部品用キャップ(9)を搭載し、加熱により樹脂封止した状態の断面図を示している。

#### 〔発明の効果〕

以上のように、本発明によれば従来のセラミックスを材料としたパッケージより経済的コストが安くそのパッケージ形態を小型化し、薄形化しやすく、また、一般のプリント配線用基板に突装しても接続が破壊されない利点を有している。また、同じプラスチックを材料としたパッケージは多層構造でも可能であり、本発明の切断方法を提供することにより容易にかつ迅速にしかも切断面を極めて良好に仕上げるができる利点を有している。

#### 4. 図面の簡単な説明

第1図の(1)、(1')および第2図～第4図は本発明

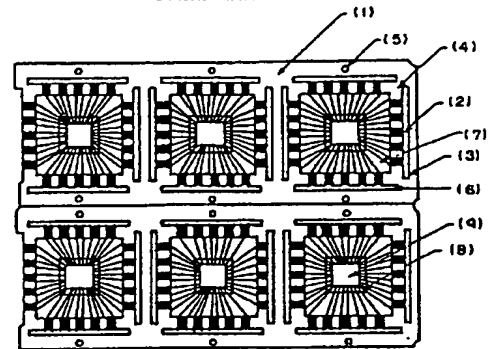
の特許請求の範囲各項に記載の半導体搭載用プリント配線用基板の製造工程ごとの該基板の主要部の正面図及び斜視図であり、第5図は本発明の基板シート(1)の大きさが短冊状でも有効であることを示唆する前記基板シート(1)の正面図である。第6図は従来のプラスチックを材料としたプリント配線用基板の製造工程のうち、個々のプリント配線用基板を小片状に分離しようとする切断加工の位置(X-X')を示す断面図である。第7図の(1)及び(1')は特許請求の範囲第4項に記載のプリント配線用基板の正面図及び斜視図である。第8図は本発明の特許請求の範囲各項にしたがって打ち抜かれた半導体搭載用プリント配線板上の凹部(1)に、集積回路チップ(5)がワイヤーボンディングにより接続され、樹脂封止された最終的な構造の断面図を示している。

- (1) ..... プリント配線用基板シート
- (2) ..... スルホール
- (3) ..... 基板の一部
- (4) ..... 橋絡部

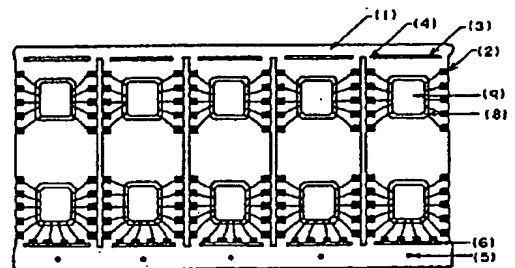


- (5) ..... パイロット孔
- (6) ..... 溝
- (7) ..... ソルダレジスト
- (8) ..... 金属パターン
- (9) ..... 半導体搭載用凹部
- (10) ..... 積層板シート
- (11) ..... 封止用の枠
- (12) ..... 短冊状の基板シート
- (13) ..... 集積回路チップ
- (14) ..... ボンディングワイヤー
- (15) ..... 格子のアーム
- (16) ..... 金属パッド
- (17) ..... プリント配線用基板より外形寸法の小さい封止用の枠
- (18) ..... 変形部
- (19) ..... 半導体搭載用プリント配線板
- (20) ..... 封止用樹脂
- (21) ..... 電子部品用キャップ

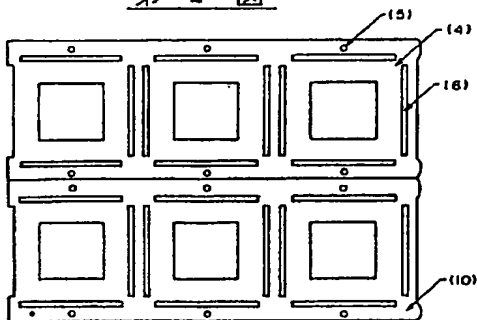
第 1 図(イ)



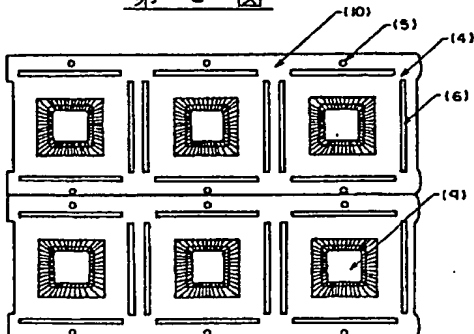
第 1 図(ロ)



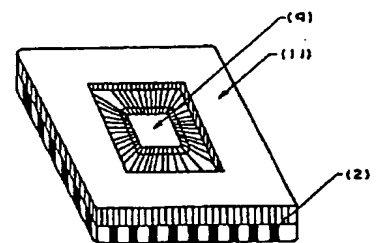
第 2 図



第 3 図



第 4 図



第 5 図

